

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-264464

(43)Date of publication of application : 29.10.1990

(51)Int.Cl.

H01L 27/092

(21)Application number : 01-085957

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.04.1989

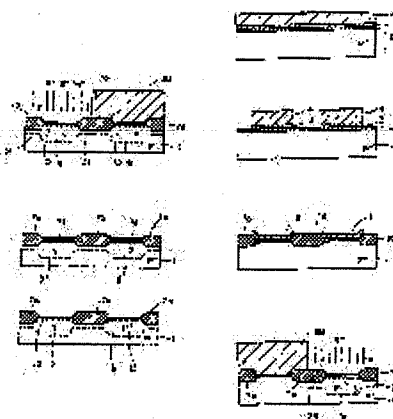
(72)Inventor : KOMORI SHIGEKI
TSUKAMOTO KATSUHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To carry out the formation of a well and the implantation of channel ions using the same mask to lessen photoengraving processes in number, to implant impurity ions for the formation of the well with a prescribed energy so as to dispense with a thermal diffusion process, and to inject impurity of the same conductivity type with the well so as to prevent punch-through.

CONSTITUTION: An SiO₂ film 2 is provided to a P—Si substrate 1, and an Si₃N₄ mask 3 is deposited thereon through a resist 4. An isolating oxide film 3 is formed, and the mask 3 is removed. A resist mask 28 is deposited, and B⁺ ions are implanted. In this case, regions 29 are formed by the injection of B⁺ ions at a high energy and a P well 6 is formed at a low energy. The regions 29 serve as a channel stopper. Moreover, B ions are implanted into a channel 13 with a low energy to carry out the adjustment of a punch-through preventive V_{th}. Then, a resist mask 30 is coated, P⁺ ions are implanted properly choosing the implantation energy to form a region 31 and an N well 5, and B⁺ and As⁺ ions are implanted to form a channel layer 15 for the prevention of punch-through and for the adjustment of V_{th}. By this constitution, not only processes can be lessened in number but also a semiconductor device of this design can be reduced in production time.



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成6年(1994)2月25日

【公開番号】特開平2-264464

【公開日】平成2年(1990)10月29日

【年通号数】公開特許公報2-2645

【出願番号】特願平1-85957

【国際特許分類第5版】

H01L 27/092

【FI】

H01L 27/08 321 N 9054-4M

手続補正書

平成 5 年 5 月 24 日

特許庁長官殿

1. 事件の表示

平成01年特許願第085957号



2. 発明の名称

半導体装置およびその製造方法

3. 補正をする者

事件との関係 特許出願人

名称 (601) 三菱電機株式会社

4. 代理人

住所 〒100
東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
電話03(3213)3421知的財産本部

氏名 弁理士 (8217) 高田 守

5. 補正命令の日付

自発(出願審査請求と同時に)

6. 補正により増加する請求項の数

1

7. 補正の対象

- (1) 明細書の発明の名称の欄
- (2) 明細書の特許請求の範囲の欄
- (3) 明細書の発明の詳細な説明の欄

8. 補正の内容

- (1) 発明の名称を「半導体装置およびその製造方法」と補正する。
- (2) 特許請求の範囲を別紙のとおり補正する。
- (3) 明細書第2頁第4行の「この発明は、」を「この発明は、一般に半導体装置に関するものであり、より特定的には、少数キャリアの拡散を防止することができるように改良された半導体装置に関する。この発明は、また、」と補正する。
- (4) 明細書第10頁第18行～第20行の「この発明は、…係るものである。」を次の文章に補正する。

記

この発明に係る半導体装置は、主表面を有する半導体基板を備える。上記半導体基板の主表面中

に、基板主表面から基板内に向かって広がり、かつ上記フィールド酸化膜の両側に設けられたNウェルとPウェルと、が設けられる。上記Nウェルの底部分には、該Nウェルを構成するN型不純物の濃度よりも濃い濃度を有するN型不純物高濃度層が設けられている。Pウェルの底部分には、該Pウェルを構成するP型不純物の濃度よりも濃い濃度を有するP型不純物高濃度層が設けられている。

この発明は、また、半導体基板にウェルを形成し、このウェルの主表面にトランジスタを形成する半導体装置の製造方法に係るものである。

(5) 明細書第11頁第5行～第6行の「最大濃度となる不純物濃度分布を与える高いエネルギーで、」を「不純物層を形成する高エネルギーで、」と補正する。

(6) 明細書第11頁第14行の「この発明によれば」を「この発明に係る半導体装置によれば、Nウェルの底部分に、該Nウェルを構成するN型不純物濃度よりも濃い濃度を有するN型不純

物高濃度層が設けられており、一方、Pウェルの底部分には、該Pウェルを構成するP型不純物の濃度よりも濃い濃度を有するP型不純物高濃度層が設けられている。それゆえに、これらの不純物高濃度層が、バリアとなって、少数キャリアの拡散が防止される。

また、この発明に係る半導体装置の製造方法によれば、」と補正する。

(7) 明細書第20頁第10行の「される。」を次の文章に補正する。

記

される。

次に、第1G図と第2B図と第3B図を参照して、生成した半導体装置の構造について説明する。当該半導体装置は、主表面を有する半導体基板1を備える。半導体基板1の主表面中に、活性領域を分離するためのフィールド酸化膜7aが設けられている。半導体基板1の主表面中に、基板主表面から基板内に向かって広がり、かつフィールド酸化膜7aの両側に設けられたNウェル5とPウ

エル6とが設けられている。Nウェル5の底部分には、該Nウェル5を構成するN型不純物の濃度よりも濃い濃度を有するN型不純物高濃度層が設けられている。Pウェルの底部分には、該Pウェルを構成するP型不純物の濃度よりも濃い濃度を有するP型不純物高濃度層が設けられている。

Nウェル5の底部分に設けられたN型不純物高濃度層は、少数キャリアの拡散を防止するためのバリア層として働き、半導体装置の信頼性が向上する。同様に、Pウェルの底部分に設けられたP型不純物高濃度層もまた少数キャリアの拡散を防止するバリア層として働く。

(8) 明細書第25頁第16行の「以上説明したとおり、この発明によれば、」を「以上説明したとおり、この発明に係る半導体装置によれば、Nウェルの底部分に、該Nウェルを構成するN型不純物の濃度よりも濃い濃度を有するN型不純物高濃度層が設けられており、また、Pウェルの底部分には、該Pウェルを構成するP型不純物の濃度よりも濃い濃度を有するP型不純物高濃度層が

以上

特許請求の範囲

(1) 表面を有する半導体基板と、

前記半導体基板の主表面中に設けられ、活性領域を分離するためのフィールド酸化膜と、

前記半導体基板の主表面中に設けられ、基板主表面から基板内に向かって拡がり、かつ前記フィールド酸化膜の両側に設けられたNウェルとPウェルとを備え、

前記Nウェルの底部分には、該Nウェルを構成するN型不純物の濃度よりも濃い濃度を有するN型不純物高濃度層が設けられており、

前記Pウェルの底部分には、該Pウェルを構成するP型不純物の濃度よりも濃い濃度を有するP型不純物高濃度層が設けられている、半導体装置。

(2) 半導体基板にウェルを形成し、このウェルの主表面にトランジスタを形成する半導体装置の製造方法であって、

前記半導体基板の主表面上に、前記ウェルの形成領域を露出させ、かつその他の部分を覆うマスクを形成する工程と、

前記マスクを用いて、前記半導体基板のウェル形成領域の主表面に、前記トランジスタ形成領域よりも深いところで不純物層を形成する高エネルギーで、ウェル形成用不純物イオンをイオン注入する工程と、

前記マスクを用いて、前記半導体基板のウェル形成領域の主表面に、前記トランジスタのチャネル形成領域に不純物が留まる低エネルギーで、前記ウェル形成用不純物イオンと同じ導電形式の不純物イオンをイオン注入する工程と、を備えた半導体装置の製造方法。